

CLIPPEDIMAGE= JP360091676A

PAT-NO: JP360091676A

DOCUMENT-IDENTIFIER: JP 60091676 A

TITLE: MOS SEMICONDUCTOR DEVICE

PUBN-DATE: May 23, 1985

INVENTOR-INFORMATION:

NAME

NAKADA, YOSHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP58199397

APPL-DATE: October 25, 1983

INT-CL (IPC): H01L029/78;H01L029/60

US-CL-CURRENT: 257/409

ABSTRACT:

PURPOSE: To prevent the variation of threshold voltage in the vicinity of a drain by bringing a gate insulating film to a film with stepped sections thick on the source region side and thin on the drain region side without equalizing the thickness of the gate insulating film when a source region and a drain region are formed on a semiconductor substrate and a gate electrode is shaped between the source region and the drain region through the gate insulating film.

CONSTITUTION: A gate insulating film 2 on which boron is diffused in order to control threshold voltage is applied on a P type Si substrate 1, and a stepped section is generated in the film 2 as a gate insulating film 3 in thin thickness by using an HF solution only on the drain side of the film 2 on a region as a channel through selective etching. A polycrystalline Si gate

electrode 4 of a predetermined shape is formed extending over the films 2 and 3 while containing the stepped section, and the films 2 and 3 protruding to both sides of the electrode 4 are removed through etching. A source region 5 is diffused and formed to the substrate 1 on the film 2 side and a drain region 6 to the substrate 1 on the film 3 side respectively. Accordingly, the variation of threshold voltage in the vicinity of the region 6 by holeelectrons is avoided.

COPYRIGHT: (C)1985,JPO&Japio

⑫ 公開特許公報(A) 昭60-91676

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)5月23日

H 01 L 29/78

8422-5F

// H 01 L 29/60

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 MOS半導体装置

⑯ 特 願 昭58-199397

⑰ 出 願 昭58(1983)10月25日

⑱ 発 明 者 中 田 義 朗 門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

MOS半導体装置

2. 特許請求の範囲

(1) 半導体基板主面上に絶縁膜を介して形成されたゲート電極を有し、ドレイン側となる一方のP-N接合部近傍のチャンネル領域上の絶縁膜の厚さが、他のチャンネル領域上の絶縁膜の厚さより薄く形成されて成ることを特徴とするMOS半導体装置。

(2) ソース、ドレイン両方のP-N接合部近傍のチャンネル領域上としたことを特徴とする特許請求の範囲第1項記載のMOS半導体装置。

3. 発明の詳細な説明

成膜上の利用分野

本発明は、MOS半導体装置において、長時間の使用でドレイン近傍の閾値電圧が劣化することによる全体の閾値電圧の劣化の防止を可能にするものである。

従来例の構成とその問題点

従来の均一なゲート酸化膜から成るMOS電界効果トランジスタ(以下MOSFETと略す)では、素子の微細化、特にゲート電極幅の微細化に伴い、ドレイン接合部の電界強度が増大し、この高電界領域で高エネルギーを得たホットキャリアが、ドレイン接合部近傍のゲート酸化膜中に注入される。このキャリアの一部は酸化膜中でとらえられ固定電荷となる。またキャリアの注入により、酸化膜・基板界面で界面単位や固定電荷が形成される。これらの固定電荷や界面単位は、ドレイン接合部近傍での閾値電圧の劣化を引き起こす。特にこの閾値電圧の劣化は、nチャンネルMOSFETでは、正方向、pチャンネルMOSFETでは負方向への変動となり、共に閾値電圧の絶対値が増大する方向への変動となる。

閾値電圧絶対値の増大は、素子の動作速度を低下させるばかりでなく、場合によっては、規定電圧での動作を不可能とする。

発明の目的

本発明は、この様な閾値電圧の変動という問題

点を軽減する信頼性の高いMOS^{半導体装置}を提供せんとするものである。

発明の構成

本発明は、上記目的を達する為、ゲート絶縁膜のドレイン端あるいはソース・ドレイン両方のP-N接合部近傍のチャンネル領域上の絶縁膜の厚さを、他のチャンネル領域上の絶縁膜の厚さより薄く形成することにより、ドレインあるいはドレイン・ソース近傍の閾値電圧を他のチャンネル領域より低く設定し、このドレイン近傍での閾値電圧が増大しても他のチャンネル領域よりも高くない様にしたものである。

実施例の説明

本発明の請求の範囲第1項に基づく第1の実施例を第1図に従って説明する。

たとえば、P型<100>10~15 μ m基板1に閾値電圧制御用Kボロンの不純物拡散を行ないゲート絶縁膜となる熱酸化膜2約350Åをドライ酸化により形成する(第1図a)。次に周知の選択的エッチング法により、チャンネルとな

る領域上のゲート絶縁膜2のドレイン側の一部だけを希しくしたH₂F溶液によるエッチングにより約150Å除去して約200Å厚の薄いゲート絶縁膜3とする。その上CVD法により多結晶シリコンを堆積し、選択的エッチング法により多結晶シリコンゲート電極4を酸化膜2、3にまたがって形成する(第1図b)。

このゲート電極をマスクとして、セルフアラインによりA⁺イオン注入によりソース5、ドレイン6領域の形成を行なう。図示されていないが、この後周知の方法で層間絶縁膜を設け、アルミ配線によりMOSFET相互の配線および取り出し電極の形成を行ない、表面保護膜をつけ装置は出来上がる(第1図c)。

以上の本実施例によればゲート絶縁膜2の部分の膜厚は、350Å、ゲート絶縁膜3の部分の膜厚は200Åとなり、それぞれの膜厚だけから成る均一なゲート絶縁膜厚のMOSFETの閾値電圧は、350Åで0.5V、200Åで0.3Vとなる。本実施例に示した構造のMOSFETでは、閾値電

圧は、高い方の閾値電圧で決まる為0.5Vとなる。ここで仮にドレイン近傍のゲート絶縁膜厚の薄い領域で、ホット・キャリアの注入等の為閾値電圧が0.1V程度増加しても、この領域の閾値電圧は0.4Vとなり、他の領域の0.5Vに比べなお低い。全体の閾値電圧は高い方の閾値電圧で決まる為0.5Vとなりドレイン近傍での変動の影響は、全体の閾値電圧には表われない。

また、ドレイン近傍のゲート酸化膜厚が薄いことは、ドレイン接合部の電界強度を下げる効果もある。電界強度の低下は、ホット・キャリアの発生を減少させる為、ホット・キャリア効果そのものも減少する。さらに、膜厚の減少は、チャンネルの単一面積当たりの電荷の捕獲面積の減少にもなり、これも、ホット・キャリア効果を軽減する方向に働く。

次に本発明に添づく第2の実施例を第2図に従って説明する。

たとえば、第1の実施例と同様にして約350Åのゲート絶縁膜2を形成したのち、ドレイン側

だけでなく、ソース・ドレイン両側のゲート絶縁膜の一部を約150Å除去して薄いゲート絶縁膜3とする。その上CVD法により多結晶シリコン4を堆積し、選択的エッチング法によりゲート電極4を形成する。ゲート電極をマスクに、ソース5、ドレイン6領域の形成を行なう。以下第1の実施例同様電極付けを行ない装置は出来上がる。

以上、第2の実施例では、第1の実施例で見られる様なソース・ドレインの非対称性を除去している。この為、第2の実施例の様形成されたMOSFETは、ソース・ドレインが固定でなく、場合により入れ変わり、対称性が必要な場合に使用できる。その他実施例1に示した効果は、本実施例でも同様である。

発明の効果

以上の様に本発明は、ドレイン近傍の閾値電圧を、ゲート絶縁膜厚を薄くすることにより予め低く設定しておき、ホット・エレクトロン等によるドレイン近傍の閾値電圧変動の影響を受けにくい信頼性の高いMOS半導体装置を得ることができ

る。

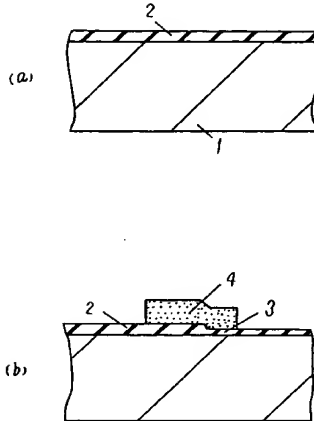
第 1 図

4、図面の簡単な説明

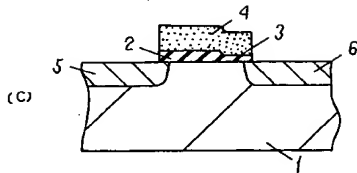
第1図 a, b, c は本発明の一実施例にかかる MOSFET の製造工程断面構造図、第2図は本発明の第2の実施例にかかる MOSFET の断面構造図である。

1……基板、2……ゲート絶縁膜、3……ゲート絶縁膜（薄い方）、4……ゲート電極、5……ソース拡散領域、6……ドレイン拡散領域。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名



第 1 図



第 2 図

